

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 3月23日

出 願 番 号  
Application Number:

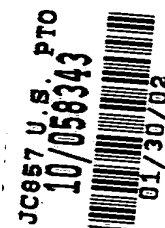
特願2001-085821

[ ST.10/C ]:

[ JP2001-085821 ]

出 願 人  
Applicant(s):

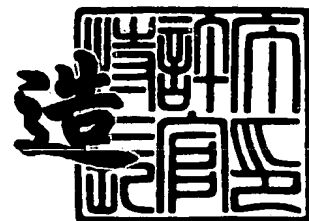
株式会社東芝



2002年 1月11日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3115220

【書類名】 特許願

【整理番号】 A000100869

【提出日】 平成13年 3月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 不揮発性半導体記憶装置およびその製造方法

【請求項の数】 20

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

【氏名】 八重樫 利武

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも 1 つのメモリセルからなる複数のメモリセルユニットと、

前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、

前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に同じである一対の第 1 の選択ゲートトランジスタを有し、

前記各選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置でゲート長方向でチャネル領域の不純物濃度が同じであり、そのチャネル領域の不純物濃度分布と前記メモリセルのチャネル領域の不純物濃度分布とが異なることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも 1 つのメモリセルからなる複数のメモリセルユニットと、

前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、

前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に同じである一対の第 1 の選択ゲートトランジスタを有し、

前記各選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置で、ソース／ドレイン拡散層の実効的な不純物濃度が前記メ

メモリセルのソース／ドレイン拡散層の実効的な不純物濃度よりも薄いことを特徴とする不揮発性半導体記憶装置。

【請求項 3】 半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも 1 つのメモリセルからなる複数のメモリセルユニットと、

前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、

前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に異なる第 1 の選択ゲートトランジスタおよび第 2 の選択ゲートトランジスタを有し、

前記第 1 の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置でゲート長方向でチャネル領域の不純物濃度が同じであり、そのチャネル領域の不純物濃度分布と前記メモリセルのチャネル領域の不純物濃度分布とが異なり、

前記第 2 の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置でゲート長方向でチャネル領域の不純物濃度が異なる領域があり、そのチャネル領域の不純物濃度の濃い部分の不純物濃度は、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置で前記第 1 の選択ゲートトランジスタのチャネル領域の不純物濃度と同じである

ことを特徴とする不揮発性半導体記憶装置。

【請求項 4】 半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも 1 つのメモリセルからなる複数のメモリセルユニットと、

前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、

前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に異なる第1の選択ゲートトランジスタおよび第2の選択ゲートトランジスタを有し、

前記第1の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置で、ソース拡散層とドレイン拡散層の不純物濃度が同じであり、かつ、ソース/ドレイン拡散層の実効的な不純物濃度が前記メモリセルのソース/ドレイン拡散層の実効的な不純物濃度より薄く、

前記第2の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、ソース拡散層とドレイン拡散層の不純物濃度が異なり、かつ、前記ビット線またはソース線に接続されるソース拡散層またはドレイン拡散層の不純物濃度は前記第1の選択ゲートトランジスタのソース/ドレイン拡散層の不純物濃度と同じであることを特徴とする不揮発性半導体記憶装置。

【請求項5】 前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記第1の選択ゲートトランジスタのチャネル領域の不純物濃度は前記メモリセルのチャネル領域の不純物濃度よりも濃いことを特徴とする請求項1または3記載の不揮発性半導体記憶装置。

【請求項6】 前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記第1の選択ゲートトランジスタのチャネル領域の不純物分布幅は前記メモリセルのチャネル領域の不純物分布幅よりも狭いことを特徴とする請求項1、3または5記載の不揮発性半導体記憶装置。

【請求項7】 前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記第1の選択ゲートトランジスタのソース/ドレイン拡散層がその上方のゲート電極と重なり合う距離は前記メモリセルのソース/ドレイン拡散層がその上方のとゲート電極と重なり合う距離よりも小さいことを特徴とする請求項2または4記載の不揮発性半導体記憶装置。

【請求項8】 前記第1の選択ゲートトランジスタは、そのソース/ドレイン拡散層領域の前記半導体基板とゲート絶縁膜との界面からの接合深さが前記メモリセルのソース/ドレイン拡散層の前記半導体基板とゲート絶縁膜との界面からの接合深さよりも小さいことを特徴とする請求項2、4または7記載の不揮発

性半導体記憶装置。

【請求項 9】 半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも 1 つのメモリセルからなる複数のメモリセルユニットと、

前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、

前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置された一対の選択ゲートトランジスタを有し、

前記各選択ゲートトランジスタは、実質的に同一構造を有し、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置でゲート長方向でチャネル領域の不純物濃度が異なる領域があり、そのチャネル領域の不純物濃度分布と前記メモリセルのチャネル領域の不純物濃度分布が異なることを特徴とする不揮発性半導体記憶装置。

【請求項 10】 半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも 1 つのメモリセルからなる複数のメモリセルユニットと、

前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、

前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に同じである一対の選択ゲートトランジスタを有し、

前記各選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、ソース拡散層とドレイン拡散層の不純物濃度が異なり、かつ、前記ビット線またはソース線に接続されるソース拡散層またはドレイン

拡散層の実効的な不純物濃度が前記メモリセルのソース／ドレイン拡散層の実効的な不純物濃度より薄いことを特徴とする不揮発性半導体記憶装置。

【請求項 1 1】 前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記選択ゲートトランジスタのチャネル領域のうちでビット線またはソース線に近い側の一端部の不純物濃度は前記メモリセルのチャネル領域の不純物濃度よりも濃いことを特徴とする請求項 9 記載の不揮発性半導体記憶装置。

【請求項 1 2】 前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記選択ゲートトランジスタのチャネル領域のうちでビット線またはソース線に近い側の一端部の不純物分布幅は前記メモリセルのチャネル領域の不純物分布幅よりも狭いことを特徴とする請求項 9 または 1 1 記載の不揮発性半導体記憶装置。

【請求項 1 3】 前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記選択ゲートトランジスタの前記ビット線またはソース線に接続されるソース／ドレイン拡散層とその上方のゲート電極とが重なり合う距離は、前記メモリセルのソース／ドレイン拡散層とその上方のゲート電極とが重なり合う距離よりも小さいことを特徴とする請求項 1 0 記載の不揮発性半導体記憶装置。

【請求項 1 4】 前記選択ゲートトランジスタの前記ビット線またはソース線に接続されるソース／ドレイン拡散層は、前記半導体基板とゲート絶縁膜との界面からの接合深さが、前記メモリセルのソース／ドレイン拡散層の前記半導体基板とゲート絶縁膜との界面からの接合深さよりも小さいことを特徴とする請求項 1 0 または 1 3 記載の不揮発性半導体記憶装置。

【請求項 1 5】 前記各選択ゲートトランジスタは、その活性化領域の深さ方向において、素子分離領域の深さ近傍における不純物濃度が、周辺回路を構成する少なくとも 1 つのトランジスタを囲む素子分離領域の直下における半導体基板中の不純物濃度と同じであることを特徴とする請求項 1 乃至 1 4 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 1 6】 前記選択ゲートトランジスタのゲート電極と前記メモリセルのゲート電極との間の距離が、前記メモリセルのゲート電極相互間の距離より大きいことを特徴とする請求項 1 乃至 1 5 のいずれか 1 項に記載の不揮発性半導



体記憶装置。

【請求項 1 7】 前記選択ゲートトランジスタのソース／ドレイン拡散層の一部と前記メモリセルのソース／ドレイン拡散層の一部が、素子分離領域によって区切られることなく、連続した活性化領域で接続された構造を有することを特徴とする請求項 1 乃至 1 6 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 1 8】 半導体基板の表面にメモリセルおよび選択ゲートトランジスタの第 1 導電型のチャネル領域を形成する工程と、

前記選択ゲートトランジスタのチャネル領域上のみに対応する開口部を持つ不純物注入用のマスクを前記半導体基板上に形成する工程と、

前記マスクを介して前記半導体基板に第 1 導電型の不純物を注入する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 1 9】 半導体基板の表面にメモリセルおよび選択ゲートトランジスタの第 1 導電型のチャネル領域を形成する工程と、

前記半導体基板上にゲート絶縁膜を形成し、さらに、ゲート電極の一部を形成する工程と、

前記ゲート電極の一部をマスクとして自己整合的に前記半導体基板の表層部に素子分離領域を形成する工程と、

前記選択ゲートトランジスタのチャネル領域上のみに対応する開口部を持つ不純物注入用のマスクを前記半導体基板上に形成する工程と、

前記マスクを介して前記ゲート電極の一部を通して前記半導体基板に第 1 導電型の不純物を注入する工程

とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 2 0】 半導体基板の表面にメモリセルおよび選択ゲートトランジスタの第 1 導電型のチャネル領域を形成する工程と、

前記半導体基板上にゲート絶縁膜を形成し、さらに、ゲート電極の一部を形成する工程と、

前記ゲート電極の一部をマスクとして自己整合的に前記半導体基板の表層部に素子分離領域を形成する工程と、

前記選択ゲートトランジスタのチャネル領域上に対応する開口部および前記メ

メモリセルユニットの周辺回路を構成するトランジスタの素子分離領域上に対応する開口部を持つ不純物注入用のマスクを形成する工程と、

前記マスクを介して前記ゲート電極の一部を通して前記半導体基板に第 1 導電型の不純物を注入する工程

とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、微細な不揮発性半導体記憶装置に係り、特にメモリセル部の選択ゲートトランジスタに関するもので、例えば NAND 型フラッシュメモリなどに使用されるものである。

【 0 0 0 2 】

【従来の技術】

図 3 0 は、従来の NAND 型フラッシュメモリにおけるメモリセルおよび選択ゲートトランジスタの製造工程の一部についてゲート長方向の断面図を示す。

【 0 0 0 3 】

図中、1 はシリコン基板、3 はウェル・チャネル領域である。メモリセルおよび選択ゲートトランジスタは、ウェル・チャネル領域 3 の不純物イオン注入およびゲート絶縁膜 4 の形成が同時に行われている。

【 0 0 0 4 】

NAND 型メモリセルユニットのメモリセルは、電荷蓄積層（フローティングゲート）／制御ゲート層が ONO 膜 1 6 を介して積層されたゲート構造を有する。上記フローティングゲートは、第 1 層目となるポリシリコン 5 と第 2 層目のフローティングゲート 1 5 が積層されている。前記制御ゲート層 1 7 は、ポリシリコン／WSi 積層膜からなる。1 8 はシリコン窒化膜、2 1 はシリコン酸化膜である。選択ゲートトランジスタのゲート電極は 5、1 5 である。3 7 はメモリセルおよび選択ゲートトランジスタのソース／ドレイン拡散層である。選択ゲートトランジスタのゲート電極相互間にはコンタクト孔が形成されている。

【 0 0 0 5 】

メモリセルおよび選択ゲートトランジスタのソース／ドレイン拡散層 37 を形成するための不純物のイオン注入は同時に行われ、選択ゲートトランジスタのソース／ドレイン拡散層 37 は、一方がメモリセルユニットに接続され、他方は前記コンタクト孔を介してビット線またはソース線に電氣的に接続される。

## 【0006】

図 31 は、図 30 中の CC' 線に沿う選択ゲートトランジスタのチャネル領域における基板深さ方向の p 型不純物の濃度分布と、図 30 中の DD' 線に沿うメモリセルのチャネル領域における基板深さ方向の p 型不純物の濃度分布を示す。

## 【0007】

前述したようにメモリセルと選択ゲートトランジスタのチャネル領域に対する不純物注入は、同時に行われるので、図 31 に示すように、両者のチャネル領域の不純物分布は同じものとなる。

## 【0008】

ところで、NAND 型フラッシュメモリでは、データの読み出し時に選択ゲートトランジスタをオフすることによって非選択ブロックのデータが読み出されないようになっている。このため、選択ゲートトランジスタの閾値電圧を、前記カットオフ特性の制約を満たすようにするために、チャネル領域の不純物濃度を設定する必要がある。

## 【0009】

一方、NAND 型フラッシュメモリでは、メモリセルに "1" データを書き込む（浮遊ゲートに電子を注入せず、消去時のしきい値を保つ）際、そのメモリセルに接続された選択ゲートトランジスタを介してビット線から初期電位を充電し、選択ワード線には書き込み電圧、非選択ワード線には転送電圧を印加し、容量結合を利用してメモリセルのチャネル領域の電位を昇圧することにより、フローティングゲート 5、15 に電子が注入されないようにしている。このため、チャネル領域の不純物濃度を下げることによりチャネル容量が低下し、チャネル領域の電位が昇圧されやすくなり、"1" データの書き込み特性が向上する。

## 【0010】

しかし、従来は、前述したようにメモリセルと選択ゲートトランジスタのチャ

ネル領域の不純物分布が同じであるので、上記したように”1”データの書き込み特性の向上を図るためにチャネル領域の不純物濃度を下げると、選択ゲートトランジスタの閾値電圧が低下し、オフリーク電流が増加するという二律背反の関係が生じる。

#### 【0011】

##### 【発明が解決しようとする課題】

上記したように従来のNAND型フラッシュメモリでは、選択ゲートトランジスタのカットオフ特性の制約を満たすためのチャネル領域の不純物濃度の設定とデータ書き込み特性の向上を図るためのチャネル領域の不純物濃度の設定との調和が困難であり、選択ゲートトランジスタのオフリーク電流が増加するという二律背反の関係が生じ、場合によっては正常な動作ができなくなるという問題があった。

#### 【0012】

本発明は上記の問題点を解決すべくなされたもので、データ書き込み特性、データ保持特性、読み出しストレスに対する耐性などのメモリセルトランジスタの様々な特性と、選択ゲートトランジスタのカットオフ特性とを共に良好に実現し得る不揮発性半導体記憶装置およびその製造方法を提供することを目的とする。

#### 【0013】

##### 【課題を解決するための手段】

本発明の第1の不揮発性半導体記憶装置は、半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも1つのメモリセルからなる複数のメモリセルユニットと、前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に同じである一対の第1の選択ゲートトランジスタを有し、前記各選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜との界面からの深さ

が等しい位置でゲート長方向でチャネル領域の不純物濃度が同じであり、そのチャネル領域の不純物濃度分布と前記メモリセルのチャネル領域の不純物濃度分布とが異なることを特徴とする。

## 【 0 0 1 4 】

本発明の第2の不揮発性半導体記憶装置は、半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも1つのメモリセルからなる複数のメモリセルユニットと、前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に同じである一対の第1の選択ゲートトランジスタを有し、前記各選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置で、ソース／ドレイン拡散層の実効的な不純物濃度が前記メモリセルのソース／ドレイン拡散層の実効的な不純物濃度よりも薄いことを特徴とする。

## 【 0 0 1 5 】

本発明の第3の不揮発性半導体記憶装置は、半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも1つのメモリセルからなる複数のメモリセルユニットと、前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に異なる第1の選択ゲートトランジスタおよび第2の選択ゲートトランジスタを有し、前記第1の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置でゲート長方向でチャネル領域の不純物濃度が同じであり、そのチャネル領域の不純物濃度分布と前記メモリセルのチャネル領域の不純物濃度分布とが異なることを特徴とする。

ャネル領域の不純物濃度分布とが異なり、前記第2の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置でゲート長方向でチャネル領域の不純物濃度が異なる領域があり、そのチャネル領域の不純物濃度の濃い部分の不純物濃度は、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置で前記第1の選択ゲートトランジスタのチャネル領域の不純物濃度と同じであることを特徴とする。

## 【 0 0 1 6 】

本発明の第4の不揮発性半導体記憶装置は、半導体基板上にゲート絶縁膜を介して形成された電荷蓄積層／制御ゲート層の積層ゲート構造を有する少なくとも1つのメモリセルからなる複数のメモリセルユニットと、前記メモリセルのゲート絶縁膜と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極を有し、ソース／ドレイン拡散層の一方が前記メモリセルユニットに接続され、他方はビット線またはソース線に電氣的に接続された複数の選択ゲートトランジスタとを具備し、前記複数の選択ゲートトランジスタは、前記ビット線またはソース線に接続されるコンタクト部を挟んで対向して配置され、それぞれの構造が実質的に異なる第1の選択ゲートトランジスタおよび第2の選択ゲートトランジスタを有し、前記第1の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜の界面からの深さが等しい位置で、ソース拡散層とドレイン拡散層の不純物濃度が同じであり、かつ、ソース／ドレイン拡散層の実効的な不純物濃度が前記メモリセルのソース／ドレイン拡散層の実効的な不純物濃度より薄く、前記第2の選択ゲートトランジスタは、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、ソース拡散層とドレイン拡散層の不純物濃度が異なり、かつ、前記ビット線またはソース線に接続されるソース拡散層またはドレイン拡散層の不純物濃度は前記第1の選択ゲートトランジスタのソース／ドレイン拡散層の不純物濃度と同じであることを特徴とする。

## 【 0 0 1 7 】

また、本発明の第1の不揮発性半導体記憶装置の製造方法は、半導体基板の表面にメモリセルおよび選択ゲートトランジスタの第1導電型のチャネル領域を形成する工程と、前記選択ゲートトランジスタのチャネル領域上のみに対応する開

口部を持つ不純物注入用のマスクを前記半導体基板上に形成する工程と、前記マスクを介して前記半導体基板に第1導電型の不純物を注入する工程とを具備することを特徴とする。

## 【0018】

また、本発明の第2の不揮発性半導体記憶装置の製造方法は、半導体基板の表面にメモリセルおよび選択ゲートトランジスタの第1導電型のチャネル領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成し、さらに、ゲート電極の一部を形成する工程と、前記ゲート電極の一部をマスクとして自己整合的に前記半導体基板の表層部に素子分離領域を形成する工程と、前記選択ゲートトランジスタのチャネル領域上のみに対応する開口部を持つ不純物注入用のマスクを前記半導体基板上に形成する工程と、前記マスクを介して前記ゲート電極の一部を通して前記半導体基板に第1導電型の不純物を注入する工程とを具備することを特徴とする。

## 【0019】

また、本発明の第3の不揮発性半導体記憶装置の製造方法は、半導体基板の表面にメモリセルおよび選択ゲートトランジスタの第1導電型のチャネル領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成し、さらに、ゲート電極の一部を形成する工程と、前記ゲート電極の一部をマスクとして自己整合的に前記半導体基板の表層部に素子分離領域を形成する工程と、前記選択ゲートトランジスタのチャネル領域上に対応する開口部および前記メモリセルユニットの周辺回路を構成する少なくとも1つのトランジスタの素子分離領域上に対応する開口部を持つ不純物注入用のマスクを形成する工程と、前記マスクを介して前記ゲート電極の一部を通して前記半導体基板に第1導電型の不純物を注入する工程とを具備することを特徴とする。

## 【0020】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

## 【0021】

まず、本発明の概要を説明する。

## 【 0 0 2 2 】

メモリセルおよび選択ゲートトランジスタのチャネル領域の不純物イオン注入およびゲート絶縁膜の形成を同時に行うフラッシュメモリの製造方法において、選択ゲートトランジスタのチャネル領域にメモリセルのチャネル領域を形成する不純物に追加して不純物を注入することにより、メモリセルと選択ゲートトランジスタのチャネル領域の不純物濃度が異なる構造を実現する。

## 【 0 0 2 3 】

この際、選択ゲートトランジスタのチャネル領域の不純物濃度を濃くすることにより、選択ゲートトランジスタのカットオフ特性が向上すると共に、メモリセルのチャネル領域の不純物濃度を下げることができ、非選択書き込みストレスに対する耐性を向上することができる。

## 【 0 0 2 4 】

また、選択ゲートトランジスタへの追加のイオン注入を、素子分離領域形成後にゲート電極の一部を通して行うことにより、不純物分布の制御性を良くすることができる。

## 【 0 0 2 5 】

また、選択ゲートトランジスタへの追加のイオン注入を、周辺回路を構成するトランジスタの素子分離領域下に行うイオン注入と同じマスクを用いて行うことにより、工程数を増加させることなく特性を向上させることができる。

## 【 0 0 2 6 】

## &lt; 第 1 の実施形態 &gt;

第 1 の実施形態では、選択ゲートトランジスタのカットオフ特性を向上させた二層ゲート構造の NAND 型フラッシュメモリの構造および製造方法について、図 1 乃至図 1 6 を参照して説明する。

## 【 0 0 2 7 】

この第 1 の実施形態は、メモリセルおよび選択ゲートトランジスタのチャネル領域を形成し、素子分離領域を形成した後、選択ゲートトランジスタのチャネル領域のみを開口するマスクを形成し、ゲート電極の一部を通して不純物をイオン注入することを特徴とするものである。



## 【 0 0 2 8 】

まず、図 1 に示すように、p 型シリコン基板 1 の表面にバッファ酸化膜 2 を形成する。次いで、レジスト（図示せず）を塗布し、フォトリソグラフィ法を用いてウェルおよびチャネル領域を開口し、n 型不純物（例えば P）、p 型不純物（例えば B）をイオン注入し、n 型のウェル（図示せず）、p 型のウェル・チャネル領域 3 を形成する。

## 【 0 0 2 9 】

次に、図 2 に示すように、バッファ酸化膜 2 を除去した後、トランジスタのゲート絶縁膜 4 を形成し、ゲート電極の一部となるポリシリコン 5 および STI（浅いトレンチによる分離）加工のマスクとなるシリコン窒化膜 6 を堆積し、レジスト 7 を塗布し、フォトリソグラフィ法を用いて素子分離領域を開口する。

## 【 0 0 3 0 】

なお、ゲート絶縁膜 4 はシリコン酸化膜に限定されるものではなく、例えばシリコン酸窒化膜でも良い。

## 【 0 0 3 1 】

次に、図 3 に示すように、レジスト 7 をマスクとしてシリコン窒化膜 6 をエッチングし、レジスト 7 を除去した後、シリコン窒化膜 6 をマスクとして、ポリシリコン 5、ゲート絶縁膜 4、シリコン基板 1 を順次エッチング加工し、素子分離領域となる STI の溝 8 を形成する。

## 【 0 0 3 2 】

次に、図 4 に示すように、STI の溝 8 の表面に薄いシリコン酸化膜 9 を形成する。その後、STI の溝 8 にシリコン酸化膜 10 を埋め込み、CMP（化学的機械研磨）法を用いて平坦化した後、シリコン窒化膜 6 を除去する。

## 【 0 0 3 3 】

図 5 は、図 4 に示すメモリセル部の一部分を示す平面図である。ここには、活性化領域 11、素子分離領域 12 を示している。

## 【 0 0 3 4 】

図 6 は、図 5 中の AA' 線に沿うメモリセルの活性化領域の断面図を示す。

## 【 0 0 3 5 】

次に、図7に示すように、レジスト13を塗布し、フォトリソグラフィ法を用いて選択ゲートトランジスタのチャネル領域に対応する部分を開口し、p型不純物（例えばB）をイオン注入し、メモリセルのチャネル領域よりも不純物濃度の濃い領域14を形成する。この際、レジストマスク13は、合わせずれを起こしてもメモリセルのチャネル領域上が開口しないようにしておく。

#### 【0036】

次に、図8に示すように、メモリセルの浮遊ゲート電極および選択ゲートトランジスタのゲート電極となるポリシリコン15を堆積後、レジスト（図示せず）を塗布し、フォトリソグラフィ法を用いて浮遊ゲート間のスリットに対応する部分を開口し、エッチングによりポリシリコン15、5を加工し、スリットを形成し、レジストを除去する。

#### 【0037】

その後、ONO（酸化膜、窒化膜、酸化膜の積層構造）膜16および制御ゲート電極となるポリシリコン／WSi積層膜17を堆積し、ゲート電極加工のマスクとなるシリコン窒化膜18を堆積する。

#### 【0038】

次に、図9に示すように、レジスト（図示せず）を塗布し、フォトリソグラフィ法を用いてゲート電極をパターニングし、シリコン窒化膜18をエッチング加工し、レジストを除去する。

#### 【0039】

その後、シリコン窒化膜18をマスクとして、ポリシリコン／WSi積層膜17、ONO膜16、ポリシリコン15、5を順次エッチング加工し、選択ゲートトランジスタのゲート電極19a、19b、メモリセルの二層ゲート電極20a、20bを形成する。

#### 【0040】

次に、図10に示すように、メモリセルおよび選択ゲートトランジスタのゲート電極の側壁を酸化し、酸化膜21を形成する。その後、レジスト（図示せず）を塗布し、フォトリソグラフィ法を用いてメモリセル領域を開口し、メモリセルおよび選択ゲートトランジスタのゲート電極間にn型不純物（例えばP）をイオ

ン注入し、メモリセルおよび選択ゲートトランジスタのソース／ドレイン拡散層を形成した後、レジストを除去する。

## 【0041】

この時、選択ゲートトランジスタのチャネル領域には、前述したようにウェル・チャネル領域3よりも不純物濃度の濃い領域14が予め形成されているので、選択ゲートトランジスタ側の拡散層22の実効的な不純物濃度（ $n$ 型不純物濃度から $p$ 型不純物濃度を引いたもの）は、メモリセル側の拡散層23の実効的な不純物濃度よりも小さくなる。

## 【0042】

図11は、メモリセルと選択ゲートトランジスタを拡大した断面図を示す。

## 【0043】

メモリセルと選択ゲートトランジスタとを連ねる不純物拡散層のうち、選択ゲートトランジスタ側の拡散層22の実効的な不純物濃度（ $n$ 型不純物濃度から $p$ 型不純物濃度を引いたもの）は、メモリセル側の拡散層23の実効的な不純物濃度よりも小さいので、 $pn$ 接合の接合深さも、選択ゲートトランジスタの拡散層22の方がメモリセル側の拡散層23よりも浅くなる。

## 【0044】

したがって、選択ゲートトランジスタとメモリセルのソース／ドレイン拡散層の領域は異なるものとなり、半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、選択ゲートトランジスタの拡散層とその上方のゲート電極とが重なり合う距離1sは、メモリセルの拡散層とその上方のゲート電極が重なり合う距離1cよりも小さくなる。

## 【0045】

また、ゲート電極端において、選択ゲートトランジスタの拡散層の半導体基板の深さ方向の $pn$ 接合深さxsも、メモリセルの拡散層の半導体基板の深さ方向の $pn$ 接合深さxcより小さくなる。

## 【0046】

図12は、図10中のBB'線に沿う断面における不純物濃度分布を示す。

## 【0047】

この不純物濃度分布は、選択ゲートトランジスタのチャネル領域CHの実効不純物濃度がメモリセルのチャネル領域CHの実効不純物濃度よりも濃くなっている。また、選択ゲートトランジスタのソースS／ドレインD拡散層領域の実効不純物濃度がメモリセルのソースS／ドレインD拡散層領域の実効不純物濃度よりも薄くなっている。

## 【0048】

図13は、図10中のCC'線に沿う選択ゲートトランジスタのチャネル領域における基板深さ方向の不純物濃度分布を示す。

## 【0049】

図14は、図10中のDD'線に沿うメモリセルのチャネル領域における基板深さ方向の不純物濃度分布を示す。

## 【0050】

通常、ウェル／チャネル領域の不純物分布は、複数回のイオン注入とその後の熱工程による不純物の拡散によって形成されるので、複数個の分布が重なったものとなる。本実施形態においては、ゲート絶縁膜とゲート電極の一部（第1層目のポリシリコン5）および素子分離領域が形成された後に、選択ゲートトランジスタのチャネル領域に不純物がイオン注入されている。

## 【0051】

したがって、図13に示した選択ゲートトランジスタのチャネル領域における基板深さ方向の不純物濃度分布は、図14に示したメモリセルのチャネル領域における基板深さ方向の不純物濃度分布ゲート絶縁膜と比較して、半導体基板近傍の不純物濃度が濃いものとなる。

## 【0052】

また、選択ゲートトランジスタのチャネル領域にイオン注入された不純物は、それ以前のゲート絶縁膜形成時および素子分離領域形成時の熱工程の影響を受けないので、不純物の拡散量が小さくなる。したがって、図13と図14との比較から分かるように、選択ゲートトランジスタのゲート絶縁膜と半導体基板近傍の不純物分布の分布幅Cはメモリセルのゲート絶縁膜と半導体基板近傍の不純物分布の分布幅Dに比べて狭くなっている。

## 【0053】

即ち、素子分離領域形成後にゲート電極の一部を通して選択ゲートトランジスタへの追加のイオン注入を行うことにより、不純物分布の制御性を良くすることができる。

## 【0054】

上述したように、選択ゲートトランジスタのチャネル領域にp型不純物を追加でイオン注入することによって、そのチャネル領域の不純物濃度の増加による閾値電圧の上昇およびpn接合深さの減少によるショートチャネル効果の改善によって、選択ゲートトランジスタのカットオフ特性が向上する。

## 【0055】

さらに、選択ゲートトランジスタの閾値電圧をメモリセルより高くする範囲では、メモリセルに対して独立に選択ゲートトランジスタの閾値電圧を制御できるので、ウェル・チャネル領域3の不純物濃度を下げることが可能となり、メモリセルのチャネル領域の不純物濃度を下げることができ、非選択書き込みストレスに対する耐性を向上することができる。

## 【0056】

次に、図15に示すように、ゲート電極側壁にエッチングのバリアとなる絶縁膜（図示せず）を形成した後、層間絶縁膜24を堆積し、レジスト（図示せず）を塗布し、フォトリソグラフィ法を用いてコンタクト孔25をパターンニングし、層間絶縁膜24をエッチング加工した後、レジストを除去する。

## 【0057】

その後、必要であればコンタクト孔25を介して半導体基板上にn型不純物をイオン注入し、n型不純物濃度の濃い領域26を形成する。n型不純物濃度の濃い領域26を形成した場合、図12中の選択ゲートトランジスタ間のn型不純物濃度と実効不純物濃度が濃くなることはいうまでもない。

## 【0058】

この後、コンタクト孔25の内部に導電体を形成し、公知の方法により配線層を形成し、保護膜を堆積してNAND型フラッシュメモリが完成する。

## 【0059】

本実施形態では、メモリセルのチャネル領域上が開口しないように選択ゲートトランジスタのチャネル領域14を開口するので、図16に示すように、選択ゲートトランジスタのゲート電極とメモリセルのゲート電極の距離 $L_1$ がメモリセルのゲート電極とメモリセルのゲート電極の距離 $L_2$ より大きいほど、選択ゲートトランジスタのチャネル領域14の開口が容易になる。但し、 $L_1$ と $L_2$ の関係は $L_1 > L_2$ に限定されるものではなく、 $L_1 = L_2$ または $L_1 < L_2$ であってもよい。

## 【0060】

なお、本実施形態では、ウェル・チャネル領域3の形成およびゲート絶縁膜4の形成後に素子分離領域の形成を行っているが、素子分離領域の形成後にウェル・チャネル領域3の形成およびゲート絶縁膜4の形成を行ってもかまわない。

## 【0061】

また、本実施形態では、公知の方法を用いてゲート電極に側壁（図示せず）を形成し、濃いn型不純物をイオン注入することにより、メモリセルおよび選択ゲートトランジスタのソース／ドレイン拡散層をLDD（ライトリー・ドーフト・ドレイン）構造にしてもよい。

## 【0062】

## ＜第2の実施形態＞

第2の実施形態では、前述した第1の実施形態における選択トランジスタのチャネル領域に対するイオン注入のレジストマスクが、選択ゲートトランジスタのゲート電極が形成される位置に対して合わせずれを起こし、選択ゲートトランジスタのチャネル領域の一部にp型不純物が注入されなかった場合に関して、図17および図18を参照して説明する。なお、図17において、図10中と同一部分には同一符号を付している。

## 【0063】

まず、第1の実施形態と同様に、図1乃至図6までに示す工程を実施する。

## 【0064】

次に、レジストマスクを形成し、選択ゲートトランジスタのチャネル領域に対応する部分にp型不純物をイオン注入して、メモリセルよりも不純物濃度の濃い

領域 1 4 を形成し、第 1 の実施形態と同様にしてゲート電極を作製する。

【 0 0 6 5 】

この時、レジストマスクが選択ゲートトランジスタのゲート電極が形成される位置に対して合わせずれを起こした場合、図 1 7 に示すように、選択ゲートトランジスタ 1 9 a のメモリセル側に近いチャネル領域の一部にメモリセルよりも不純物濃度の濃い領域 1 4 が形成されず、その領域はメモリセルと同じ不純物濃度となる。

【 0 0 6 6 】

また、選択ゲートトランジスタのビット線またはソース線コンタクト側のチャネル領域には、ウェル・チャネル領域 3 よりも不純物濃度の濃い領域 1 4 が形成されているので、選択ゲートトランジスタ 1 9 a のビット線またはソース線コンタクト側拡散層 2 7 および選択ゲートトランジスタ 1 9 b の拡散層 2 7 の実効的な不純物濃度（ $n$  型不純物濃度から  $p$  型不純物濃度を引いたもの）は、メモリセルの拡散層 2 3 の実効的な不純物濃度よりも小さくなる。

【 0 0 6 7 】

また、選択ゲートトランジスタ 1 9 a のビット線またはソース線コンタクト側拡散層 2 7 および選択ゲートトランジスタ 1 9 b の拡散層 2 7 の接合深さは、第 1 の実施形態と同様にメモリセルの拡散層の接合深さよりも小さくなる。

【 0 0 6 8 】

図 1 8 は、図 1 7 中の BB' 線に沿う断面における不純物濃度分布を示す。

【 0 0 6 9 】

この不純物濃度分布では、選択ゲートトランジスタ 1 9 a のチャネル領域の一部およびの選択ゲートトランジスタ 1 9 b のチャネル領域の全部の実効不純物濃度がメモリセルのチャネル領域の実効不純物濃度よりも濃くなっている。

【 0 0 7 0 】

また、選択ゲートトランジスタのソース／ドレイン拡散層領域の実効不純物濃度がメモリセルのソース／ドレイン拡散層領域の実効不純物濃度よりも薄くなっている。このため、チャネル領域の不純物濃度の増加による閾値電圧の上昇および  $p-n$  接合深さの減少によるショートチャネル効果の改善によって、選択ゲート

トランジスタのカットオフ特性が向上する。

【 0 0 7 1 】

上述したように、レジストマスク 1 3 の合わせずれを選択ゲートトランジスタ 1 9 a が所望のカットオフ特性を満たす範囲内にしておくことによって、選択ゲートトランジスタの閾値電圧をメモリセルより高くする範囲では、メモリセルに対して独立に制御できるので、ウェル・チャネル領域 3 の不純物濃度を下げることが可能となり、メモリセルのチャネル領域の不純物濃度を下げることができ、非選択書き込みストレスに対する耐性を向上することができる。

【 0 0 7 2 】

この後、第 1 の実施形態で述べたと同様の工程を実施することにより NAND 型フラッシュメモリが完成する。この際、図 1 5 中に示したようにコンタクト孔 2 5 を介して半導体基板上に n 型不純物をイオン注入し、コンタクト直下に n 型不純物濃度の濃い領域を形成した場合には、図 1 8 の選択ゲートトランジスタ間の n 型不純物濃度および実効不純物濃度が濃くなることはいうまでもない。

【 0 0 7 3 】

また、本実施形態では、ウェル・チャネル領域 3 の形成およびゲート絶縁膜 4 の形成後に素子分離領域の形成を行っているが、素子分離領域の形成後に、ウェル・チャネル領域 3 の形成およびゲート絶縁膜 4 の形成を行ってもかまわない。

【 0 0 7 4 】

また、本実施形態では、公知の方法を用いてゲート電極に側壁（図示せず）を形成し、濃い n 型不純物をイオン注入することにより、メモリセルおよび選択ゲートトランジスタのソース／ドレイン拡散層を LDD 構造にしてもよい。

【 0 0 7 5 】

< 第 3 の実施形態 >

前述した第 2 の実施形態では、コンタクト部を挟んで対向する 2 つの選択ゲートトランジスタのうち片方の選択ゲートトランジスタはチャネル領域の一部にしか p 型不純物が追加で注入されない構造について説明した。しかし、所望のカットオフ特性を満たすならば、他方の選択ゲートトランジスタもチャネル領域の一部にしか p 型不純物が追加で注入されない構造であってもかまわない。



## 【 0 0 7 6 】

第 3 の実施形態では、コンタクト部を挟んで対向する 2 つの選択ゲートトランジスタの両方に対してチャネル領域の一部のみに追加のイオン注入が行われる場合に関して、図 1 9 および図 2 0 を参照して説明する。なお、図 1 9 において、図 1 0 中と同一部分には同一符号を付している。

## 【 0 0 7 7 】

まず、第 1 の実施形態と同様に、図 1 乃至図 6 までの工程を実施する。

## 【 0 0 7 8 】

次に、レジストマスクを形成し、選択ゲートトランジスタのチャネル領域に対応する部分に p 型不純物をイオン注入して、メモリセルよりも不純物濃度の濃い領域 1 4 を形成し、第 1 の実施形態と同様にしてゲート電極を作製する。

## 【 0 0 7 9 】

この時、レジストマスクが選択ゲートトランジスタのチャネル領域が形成される位置よりも狭い領域に開口することにより、図 1 9 に示すように、選択ゲートトランジスタ 1 9 a および 1 9 b のそれぞれメモリセル側に近いチャネル領域の一部にはメモリセルよりも不純物濃度の濃い領域 1 4 が形成されず、その領域はメモリセルと同じ不純物濃度となる。

## 【 0 0 8 0 】

また、選択ゲートトランジスタのチャネル領域のビット線またはソース線コンタクト側に近い部分は、ウェル・チャネル領域 3 よりも不純物濃度の濃い領域 1 4 が形成されているので、選択ゲートトランジスタ 1 9 a および 1 9 b のビット線またはソース線コンタクト側拡散層 2 8 の実効的な不純物濃度（n 型不純物濃度から p 型不純物濃度を引いたもの）は、メモリセルの拡散層 2 3 の実効的な不純物濃度よりも小さくなる。

## 【 0 0 8 1 】

また、選択ゲートトランジスタ 1 9 a および 1 9 b のビット線またはソース線コンタクト側拡散層 2 8 の接合深さは、第 1 の実施形態で述べたように、メモリセルの拡散層の接合深さよりも小さくなる。

## 【 0 0 8 2 】

図 2 0 は、図 1 9 中の BB' 線に沿う断面における不純物濃度分布を示す。

【 0 0 8 3 】

この不純物濃度分布は、選択ゲートトランジスタ 1 9 a および 1 9 b のそれぞれのチャンネル領域の一部の実効不純物濃度が、メモリセルのチャンネル領域の実効不純物濃度よりも濃くなっている。また、選択ゲートトランジスタのソース／ドレイン拡散層領域の実効不純物濃度がメモリセルのソース／ドレイン拡散層領域の実効不純物濃度よりも薄くなっている。このため、チャンネル領域の不純物濃度の増加による閾値電圧の上昇および p n 接合深さの減少によるショートチャンネル効果の改善によって、選択ゲートトランジスタのカットオフ特性が向上する。

【 0 0 8 4 】

上述したように、選択ゲートトランジスタのチャンネル領域となる部分への追加のイオン注入を行うためのレジストマスクの開口を、合わせずれを考慮に入れたうえで、選択ゲートトランジスタ 1 9 a および 1 9 b が所望のカットオフ特性を満たす範囲内にしておくことによって、選択ゲートトランジスタの閾値電圧をメモリセルより高くする範囲では、メモリセルに対して独立に制御できる。

【 0 0 8 5 】

したがって、ウェル・チャンネル領域 3 の不純物濃度を下げることが可能となり、メモリセルのチャンネル領域の不純物濃度を下げることができ、非選択書き込みストレスに対する耐性を向上することができる。

【 0 0 8 6 】

この後、第 1 の実施形態で述べたと同様の工程を実施することにより、N A N D 型フラッシュメモリが完成する。この際、図 1 5 中に示したようにコンタクト孔 2 5 を介して半導体基板上に n 型不純物をイオン注入し、コンタクト直下に n 型不純物濃度の濃い領域を形成した場合、図 2 0 中の選択ゲートトランジスタ間の n 型不純物濃度および実効不純物濃度が濃くなることはいうまでもない。

【 0 0 8 7 】

なお、本実施形態では、ウェル・チャンネル領域 3 の形成およびゲート絶縁膜 4 の形成後に素子分離領域の形成を行っているが、素子分離領域の形成後にウェル・チャンネル領域 3 の形成およびゲート絶縁膜 4 の形成を行ってもかまわない。

## 【0088】

また、本実施形態では、公知の方法を用いてゲート電極に側壁（図示せず）を形成し、濃いn型不純物をイオン注入することにより、メモリセルおよび選択ゲートトランジスタのソース／ドレイン拡散層をLDD構造にしてもよい。

## 【0089】

## ＜第4の実施形態＞

第4の実施形態では、二層ゲート構造のNAND型フラッシュメモリにおいてメモリセルアレイの周辺回路を構成するトランジスタの素子分離特性を向上させると共に、選択ゲートトランジスタのカットオフ特性を向上させた構造およびその製造方法を説明する。

## 【0090】

この第4の実施形態は、メモリセルおよび選択ゲートトランジスタのチャネル領域を形成し、素子分離領域を形成した後、選択ゲートトランジスタのチャネル領域および周辺回路を構成するトランジスタの素子分離領域を開口するマスクを形成し、ゲート電極の一部を通して素子分離領域深さおよび活性化領域のゲート絶縁膜近傍深さに不純物をイオン注入することを特徴とするものである。

## 【0091】

本実施形態では、周辺回路のトランジスタとして、半導体基板上に形成された高耐圧系トランジスタを例に図21乃至図25を参照して説明し、これらの図中の左側は高耐圧系トランジスタを示し、右側はメモリセル領域を示す。

## 【0092】

まず、図21に示すように、第1の実施形態と同様にして、メモリセル領域のウェル・チャネル領域3および高耐圧系トランジスタのチャネル領域29を形成した後、素子分離領域を形成する。

## 【0093】

次に、図22に示すように、レジストを塗布し、フォトリソグラフィ法を用いて、高耐圧系トランジスタの素子分離領域および選択ゲートトランジスタのチャネル領域に対応する部分を開口する。この時、レジストマスク30のメモリセル領域の開口部は、前記各実施形態で述べたように、選択ゲートトランジスタが所

望のカットオフ特性を満たす範囲で、かつ、合わせずれを起こしてもメモリセルのチャンネル領域上が開口しない範囲になる。

## 【 0 0 9 4 】

次に、素子分離領域深さおよび活性化領域のゲート絶縁膜近傍深さに p 型不純物（例えば B）をイオン注入し、高耐圧系トランジスタの素子分離領域直下における反転防止用の高濃度領域 3 1 およびメモリセルよりも不純物濃度の濃い選択ゲートトランジスタのチャンネル領域 1 4 を形成する。この時、選択ゲートトランジスタの活性化領域にも、前記反転防止用の高濃度領域 3 1 と同じ濃度の領域 3 2 が素子分離領域深さ近傍に形成される。

## 【 0 0 9 5 】

次に、第 1 の実施形態と同様にして、図 2 3 に示すように、ゲート電極およびソース／ドレイン拡散層の形成を行う。この結果、選択ゲートトランジスタのソース／ドレイン拡散層の形状およびチャンネル領域の不純物分布は、前記各実施形態で述べたものと同様になる。なお、図 2 3 において、図 1 0 中と同一部分には同一符号を付している。

## 【 0 0 9 6 】

図 2 3 中の DD' 線に沿うメモリセルのチャンネル領域における基板深さ方向の不純物濃度分布は、前述した第 1 の実施形態で図 1 4 に示したものと同一ものになる。通常、ウェル／チャンネル領域の不純物分布は、複数回のイオン注入とその後の熱工程による不純物の拡散によって形成されるので、複数個の分布が重なったものとなる。

## 【 0 0 9 7 】

図 2 4 は、図 2 3 中の CC' 線に沿う選択ゲートトランジスタのチャンネル領域における基板深さ方向の不純物濃度分布を示す。

## 【 0 0 9 8 】

図 2 5 は、図 2 3 中の EE' 線に沿う高耐圧系トランジスタの素子分離領域（9、10）における基板深さ方向の不純物濃度分布を示す。

## 【 0 0 9 9 】

即ち、第 1 の実施形態と同様に、ゲート絶縁膜とゲート電極の一部および素子

分離領域が形成された後に、選択ゲートトランジスタのチャネル領域に不純物がイオン注入されており、この不純物は、ゲート絶縁膜形成時および素子分離領域形成時の熱工程の影響を受けないので拡散量が小さくなる。

## 【0100】

したがって、図24に示す選択ゲートトランジスタのチャネル領域の基板深さ方向の不純物濃度分布は、図14に示したメモリセルのチャネル領域における基板深さ方向の不純物濃度分布と比較して、ゲート絶縁膜と半導体基板近傍では不純物濃度は濃いものとなり、不純物分布の分布幅Cは狭くなっている。

## 【0101】

また、素子分離領域形成後にゲート電極の一部を通して選択ゲートトランジスタへの追加のイオン注入を行っているので、不純物分布の制御性を良くすることができる。

## 【0102】

さらに、本実施形態においては、高耐圧系トランジスタの素子分離領域直下に注入される不純物が選択ゲートトランジスタの活性化領域にも注入されるので、図24中に示すように、選択ゲートトランジスタの素子分離領域深さにおいて、高耐圧系トランジスタの素子分離領域と同様の不純物分布が形成される。

## 【0103】

上述したように、選択ゲートトランジスタのチャネル領域に対してp型不純物の追加のイオン注入を行うことによって、ウェル・チャネル領域3の不純物濃度の増加による閾値電圧の上昇およびpn接合深さの減少によるショートチャネル効果の改善によって、選択ゲートトランジスタのカットオフ特性が向上する。

## 【0104】

さらに、選択ゲートトランジスタの閾値電圧をメモリセルより高くする範囲では、メモリセルに対して独立に制御できるので、ウェル・チャネル領域3の不純物濃度を下げることが可能となり、メモリセルのチャネル領域の不純物濃度を下げることができ、非選択書き込みストレスに対する耐性を向上することができる。

## 【0105】

さらに、前記追加のイオン注入を、周辺回路を構成するトランジスタの素子分離領域における反転防止用の高濃度領域形成のイオン注入マスクを用いて行うことにより、フォトリソグラフィ工程を省略することができ、製造コストを下げることができる。

## 【0106】

この後、第1の実施形態で述べたと同様の工程を実施することにより、NAND型フラッシュメモリが完成する。

## 【0107】

なお、本実施形態では、ウェル・チャネル領域3の形成およびゲート絶縁膜4の形成後に素子分離領域の形成を行っているが、素子分離領域の形成後にウェル・チャネル領域3の形成およびゲート絶縁膜4の形成を行ってもかまわない。

## 【0108】

また、本実施形態では、公知の方法を用いてゲート電極に側壁（図示せず）を形成し、濃いn型不純物をイオン注入することにより、メモリセルおよび選択ゲートトランジスタのソース／ドレイン拡散層をLDD構造にしてもよい。

## 【0109】

## &lt;第5の実施形態&gt;

前記各実施形態では、選択ゲートトランジスタに対する追加のイオン注入を、メモリセル部のウェル・チャネル領域3形成のためのイオン注入、ゲート絶縁膜の形成後に行う例を示した。

## 【0110】

第5の実施形態では、二層ゲート構造のNAND型フラッシュメモリにおける選択ゲートトランジスタに対する追加のイオン注入を、メモリセル部のウェル・チャネル領域3形成のためのイオン注入の直後（ゲート絶縁膜の形成前）に行うことにより、選択ゲートトランジスタのカットオフ特性を向上させた構造および製造方法について、図26乃至図29を参照して説明する。なお、図中、図10中と同一部分には同一符号を付している。

## 【0111】

まず、図26に示すように、p型シリコン基板1の表面にバッファ酸化膜2を

形成する。次いで、レジスト（図示せず）を塗布し、フォトリソグラフィ法を用いてウェルおよびチャネル領域を開口し、第1の実施形態と同様にして、ウェル・チャネル領域3を形成する。

#### 【0112】

次に、図27に示すように、レジストを塗布し、フォトリソグラフィ法を用いて選択ゲートトランジスタのチャネル領域に対応する部分を開口し、p型不純物（例えばB）をイオン注入し、メモリセルよりも不純物濃度の濃い領域35を形成する。この時、レジストマスク34のメモリセル領域の開口部は、第1乃至第3の実施形態で述べたように、選択ゲートトランジスタが所望のカットオフ特性を満たす範囲で、かつ、合わせずれを起こしてもメモリセルのチャネル領域上が開口しない範囲とする。

#### 【0113】

この後、第1の実施形態と同様にして、素子分離領域を形成し、図28に示すように、ゲート電極を形成し、選択ゲートトランジスタのソース/ドレイン拡散層36などを形成する。

#### 【0114】

図29は、図28中のCC'線に沿う選択ゲートトランジスタのチャネル領域における基板深さ方向の不純物濃度分布を実線で示し、図28中のDD'線に沿うメモリセルのチャネル領域における基板深さ方向の不純物濃度分布を点線で示す。

#### 【0115】

通常、ウェル・チャネル領域3の不純物分布は、複数回のイオン注入とその後の熱工程による不純物の拡散によって形成されるので、複数個の分布が重なったものとなる。

#### 【0116】

本実施形態においては、選択ゲートトランジスタのチャネル領域には、メモリセルと同時に不純物がイオン注入され、選択ゲートトランジスタおよびメモリセルは同じ熱工程を経ているので、選択ゲートトランジスタのチャネル領域のゲート絶縁膜と半導体基板近傍の不純物濃度は、メモリセルのチャネル領域のゲート絶縁膜と半導体基板近傍の不純物濃度よりも濃いものの、その分布形状は同様の

ものとなる。

【 0 1 1 7 】

また、第 1 乃至第 3 の実施形態に比べて、追加でイオン注入した選択ゲートトランジスタのチャネル領域の不純物濃度は小さくなり、ソース／ドレイン拡散層の接合深さは深くなるが、選択ゲートトランジスタのソース／ドレイン拡散層の形状およびチャネル領域の不純物分布は、第 1 乃至第 3 の実施形態で述べたものと定性的には同様のものとなる。

【 0 1 1 8 】

上述したように、選択ゲートトランジスタのチャネル領域に p 型不純物を追加でイオン注入することによって、チャネル領域の不純物濃度の増加による閾値電圧の上昇および p n 接合深さの減少によるショートチャネル効果の改善によって、選択ゲートトランジスタのカットオフ特性が向上する。

【 0 1 1 9 】

さらに、選択ゲートトランジスタの閾値電圧をメモリセルより高くする範囲では、メモリセルに対して独立に制御できるので、ウェル・チャネル領域 3 の不純物濃度を下げることが可能となり、メモリセルのチャネル領域の不純物濃度を下げることができ、非選択書き込みストレスに対する耐性を向上することができる。

【 0 1 2 0 】

この後、第 1 の実施形態で述べたと同様の工程を実施することにより、N A N D 型フラッシュメモリが完成する。

【 0 1 2 1 】

なお、本実施形態では、メモリセル部のウェル・チャネル領域 3 と選択ゲートトランジスタのチャネル領域へのイオン注入およびゲート絶縁膜 4 の形成後に、素子分離領域の形成を行っているが、素子分離領域の形成後に、メモリセル部のウェル・チャネル領域 3 と選択ゲートトランジスタのチャネル領域へのイオン注入およびゲート絶縁膜 4 の形成を行ってもかまわない。

【 0 1 2 2 】

また、本実施形態では、公知の方法を用いてゲート電極に側壁（図示せず）を



形成し、濃い n 型不純物をイオン注入することにより、メモリセルおよび選択ゲートトランジスタのソース/ドレイン拡散層を LDD 構造にしてもよい。

【 0 1 2 3 】

【発明の効果】

上述したように本発明によれば、データ書き込み特性、データ保持特性、読み出しストレスに対する耐性などのメモリセルトランジスタの様々な特性と、選択ゲートトランジスタのカットオフ特性とを共に良好に実現し得るフラッシュメモリおよびその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明のフラッシュメモリの第 1 の実施形態に係る二層ゲート構造の NAND 型フラッシュメモリの製造工程の一部を示す断面図。

【図 2】

図 1 の工程に続く工程を示す断面図。

【図 3】

図 2 の工程に続く工程を示す断面図。

【図 4】

図 3 の工程に続く工程を示す断面図。

【図 5】

図 5 中のメモリセルおよび選択ゲートトランジスタを示す平面図。

【図 6】

図 4 の工程に続く工程を示す断面図。

【図 7】

図 5 の工程に続く工程を示す断面図。

【図 8】

図 6 の工程に続く工程を示す断面図。

【図 9】

図 7 の工程に続く工程を示す断面図。

【図 1 0】

図 8 の工程に続く工程を示す断面図。

【図 1 1】

図 9 の工程に続く工程を示す断面図。

【図 1 2】

図 1 0 中の BB' 線に沿う断面における不純物分布を示す図。

【図 1 3】

図 1 0 中の CC' 線に沿う断面における不純物分布を示す図。

【図 1 4】

図 1 0 中の DD' 線に沿う断面における不純物分布を示す図。

【図 1 5】

図 1 0 の工程に続く工程を示す断面図。

【図 1 6】

図 1 5 の工程に続く工程を示す断面図。

【図 1 7】

本発明の第 2 の実施形態に係る二層ゲート構造の NAND 型フラッシュメモリ  
の製造工程の一部を示す断面図。

【図 1 8】

図 1 7 中の BB' 線に沿う断面における不純物分布を示す図。

【図 1 9】

本発明の第 3 の実施形態に係る二層ゲート構造の NAND 型フラッシュメモリ  
の製造工程の一部を示す断面図。

【図 2 0】

図 1 9 中の BB' 線に沿う断面における不純物分布を示す図。

【図 2 1】

本発明の第 4 の実施形態に係る二層ゲート構造の NAND 型フラッシュメモリ  
の製造工程の一部を示す断面図。

【図 2 2】

図 2 1 の工程に続く工程を示す断面図。

【図 2 3】

図 2 2 の工程に続く工程を示す断面図。

【図 2 4】

図 2 3 中の CC' 線に沿う断面における不純物分布を示す図。

【図 2 5】

図 2 3 中の EE' 線に沿う断面における不純物分布を示す図。

【図 2 6】

本発明の第 5 の実施形態に係る二層ゲート構造の NAND 型フラッシュメモリの製造工程の一部を示す断面図。

【図 2 7】

図 2 6 の工程に続く工程を示す断面図。

【図 2 8】

図 2 7 の工程に続く工程を示す断面図。

【図 2 9】

図 2 8 中の CC' 線および DD' 線に沿う断面における不純物分布を示す図。

【図 3 0】

従来の NAND 型フラッシュメモリにおけるメモリセルおよび選択ゲートトランジスタのゲート長方向の断面構造を示す図。

【図 3 1】

図 3 0 中の CC' 線および DD' 線に沿う断面における不純物分布を示す図。

【符号の説明】

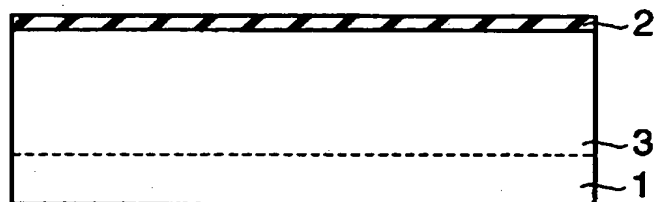
- 1 … シリコン基板、
- 3 … ウェル・チャネル領域、
- 4 … ゲート絶縁膜、
- 5、15 … ポリシリコン、
- 14 … 選択ゲートトランジスタのチャネル領域、
- 16 … ONO 膜、
- 17 … ポリシリコン／WSi 積層膜、
- 18 … シリコン窒化膜、
- 19 … 選択ゲートトランジスタのゲート電極、

- 2 0 …メモリセルのゲート電極、
- 2 1 …シリコン酸化膜、
- 2 2 …選択ゲートトランジスタのソース／ドレイン拡散層領域、
- 2 3 …メモリセルのソース／ドレイン拡散層領域、
- 2 4 …層間絶縁膜、
- 2 5 …コンタクト孔、
- 2 6 … $n$  型不純物領域。

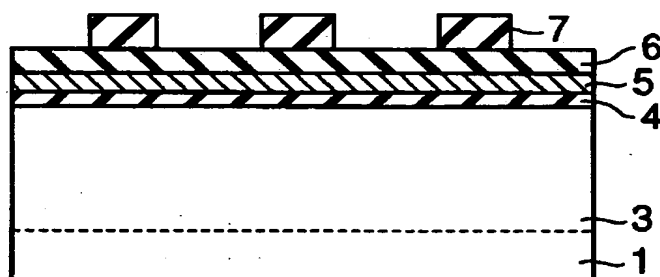
【書類名】

図面

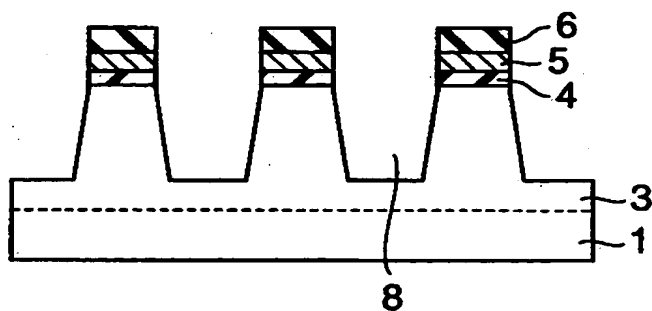
【図 1】



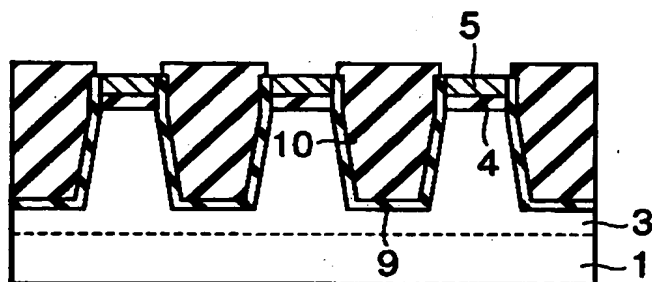
【図 2】



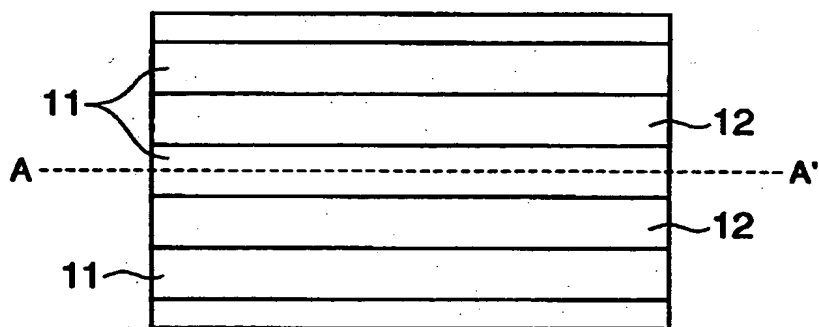
【図 3】



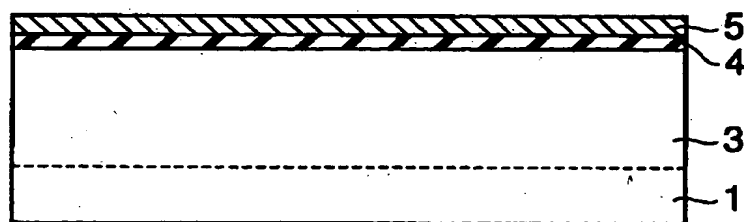
【図4】



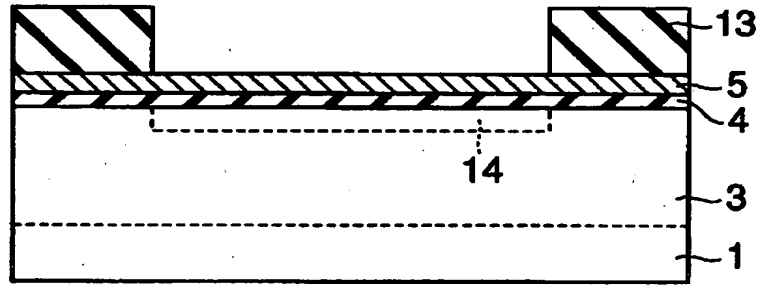
【図5】



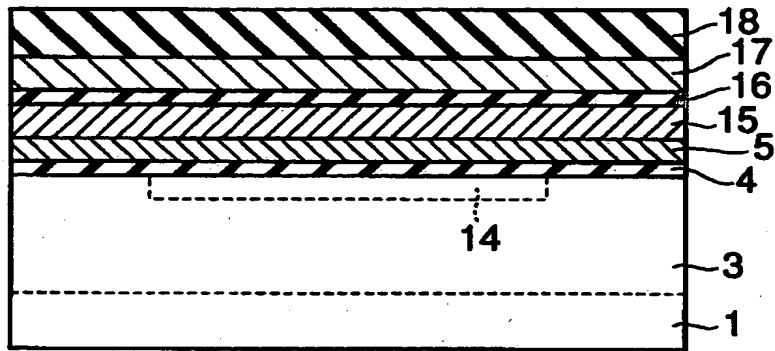
【図6】



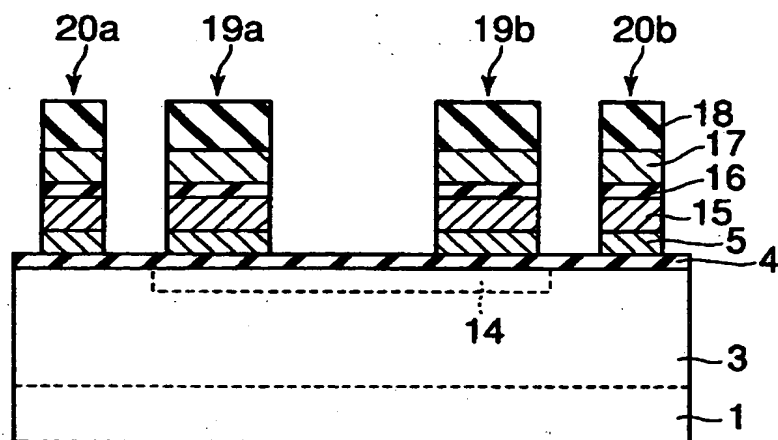
【図 7】



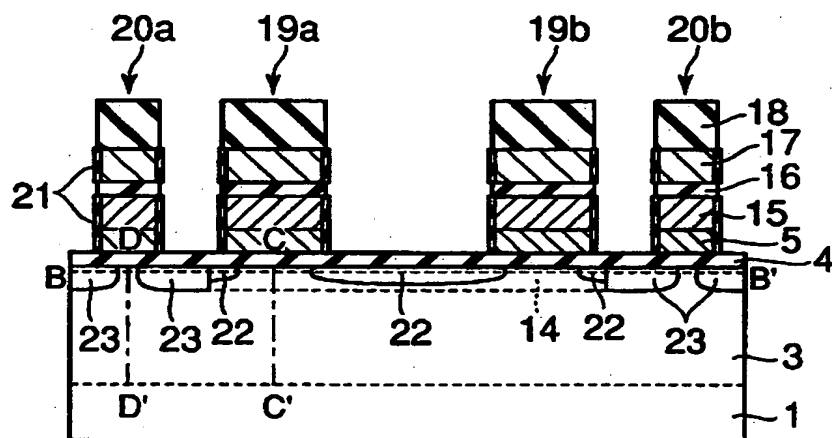
【図 8】



【図 9】

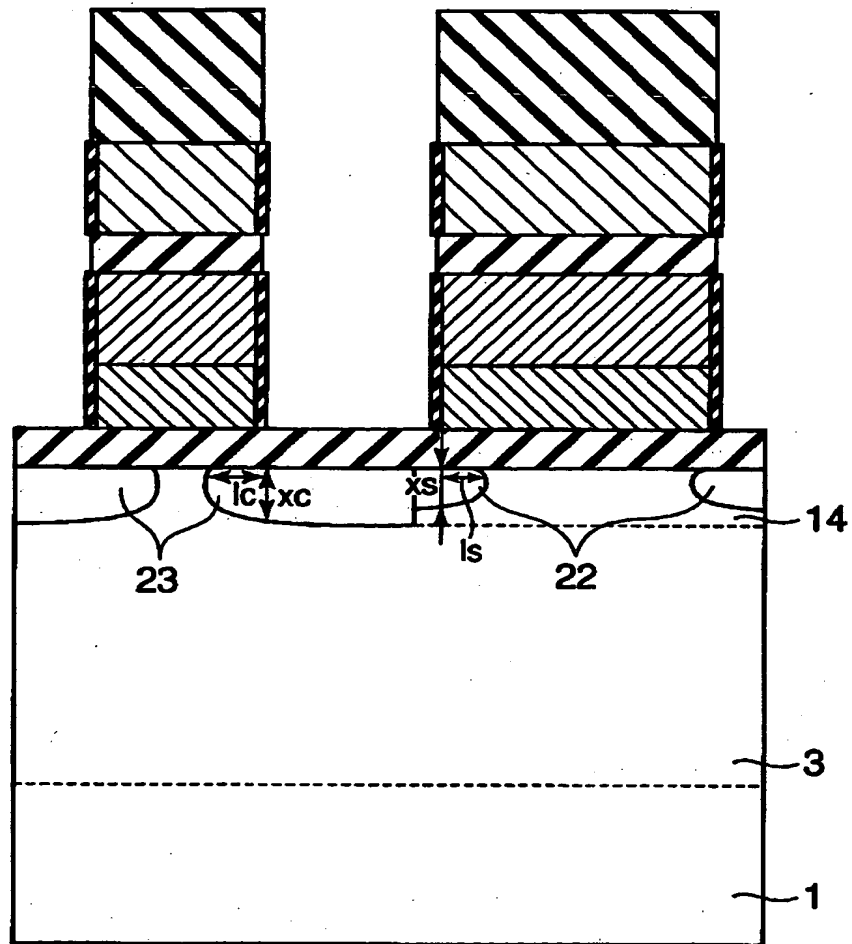


【図 10】

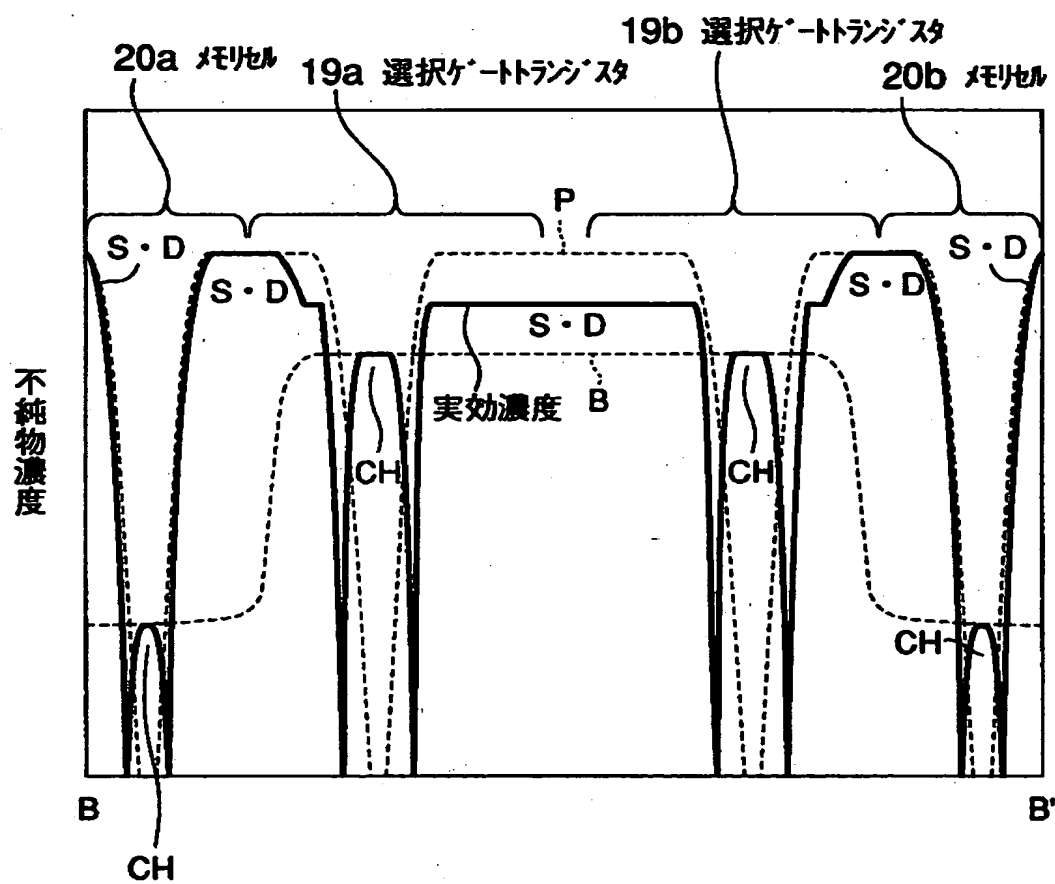




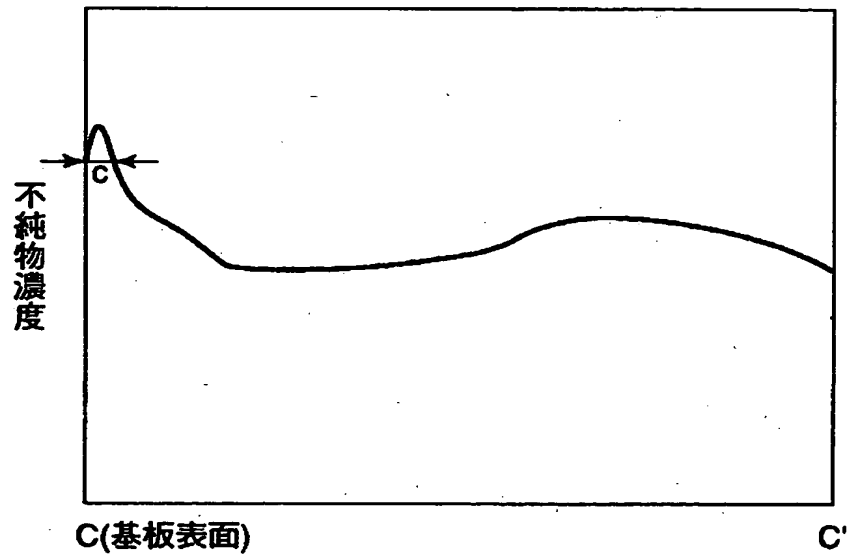
【図11】



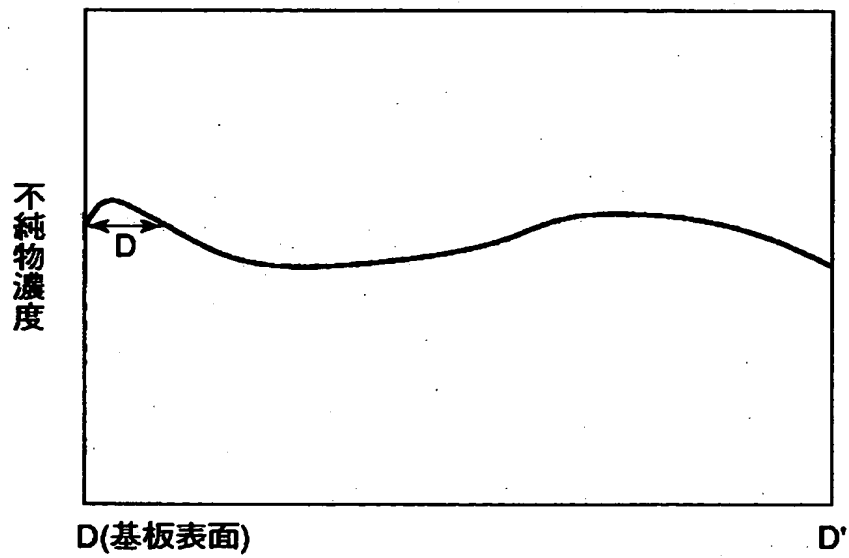
【図 12】



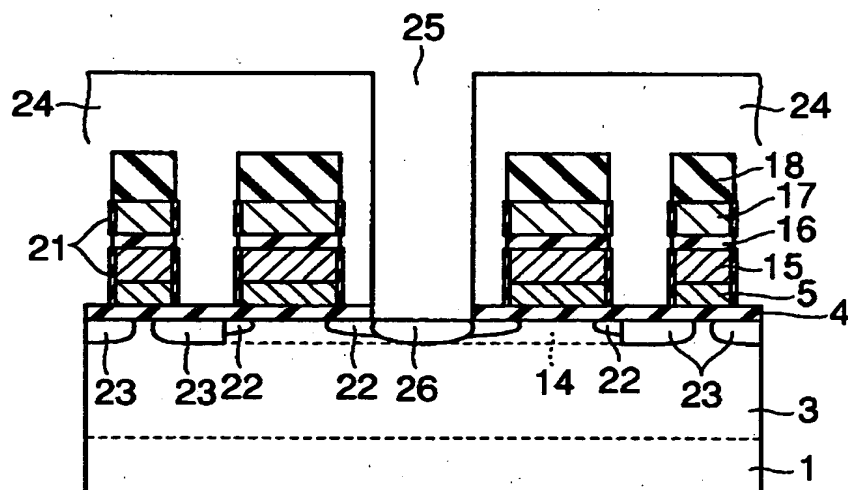
【図 13】



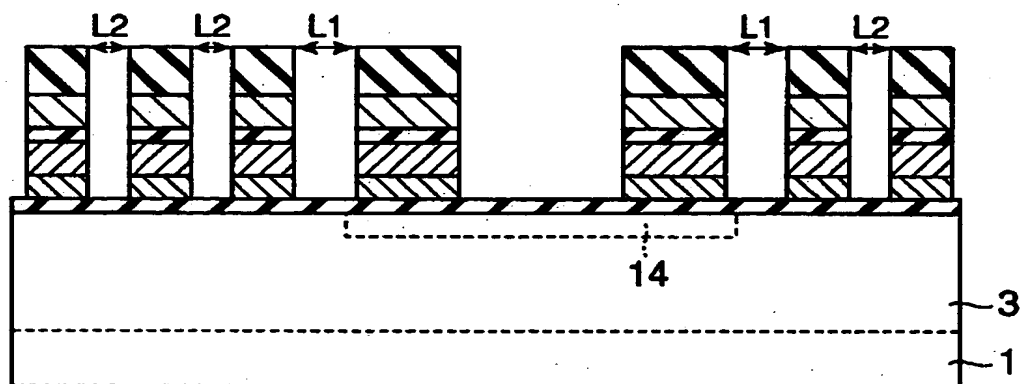
【図 14】



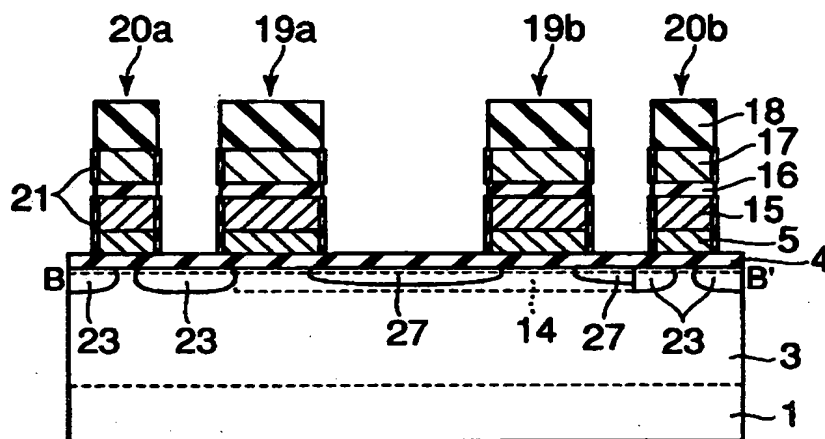
【図 15】



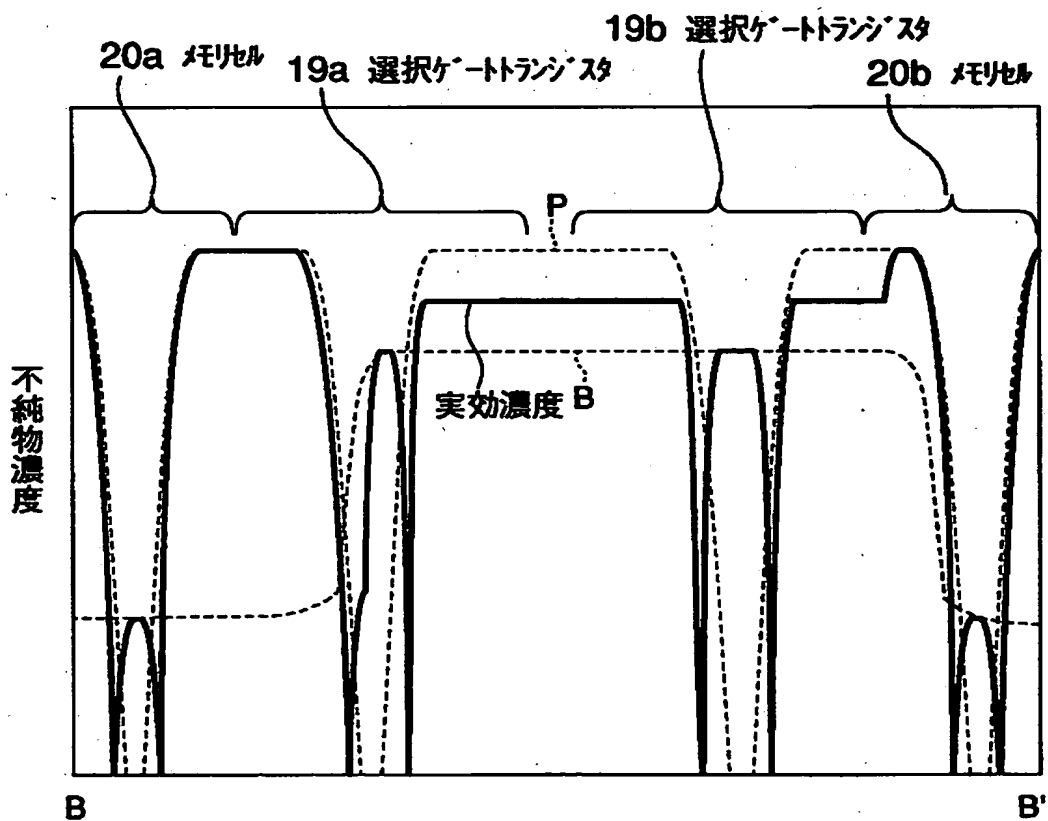
【図 16】



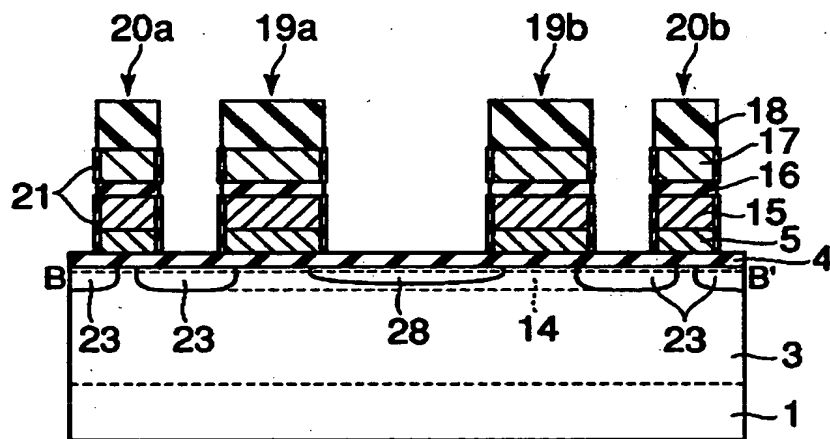
【図 17】



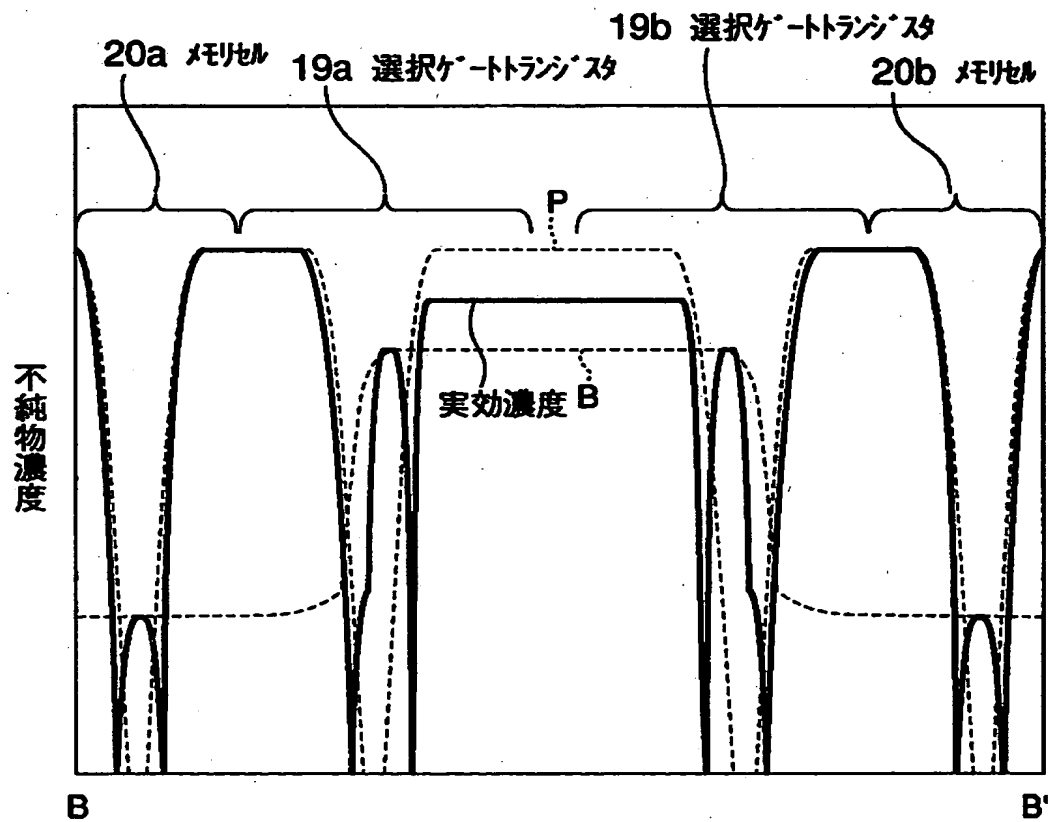
【図 18】



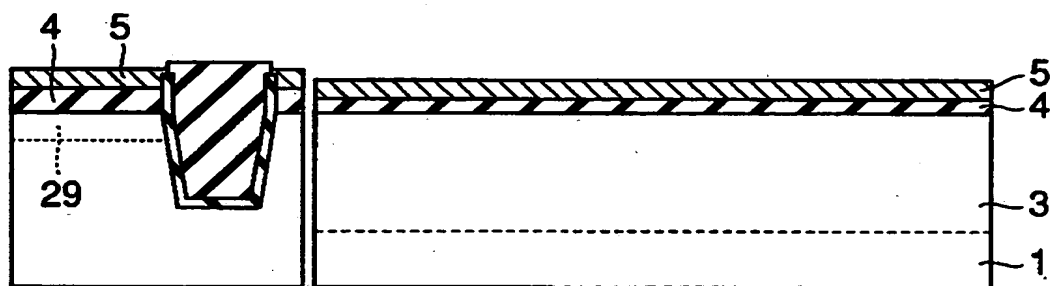
【図 19】



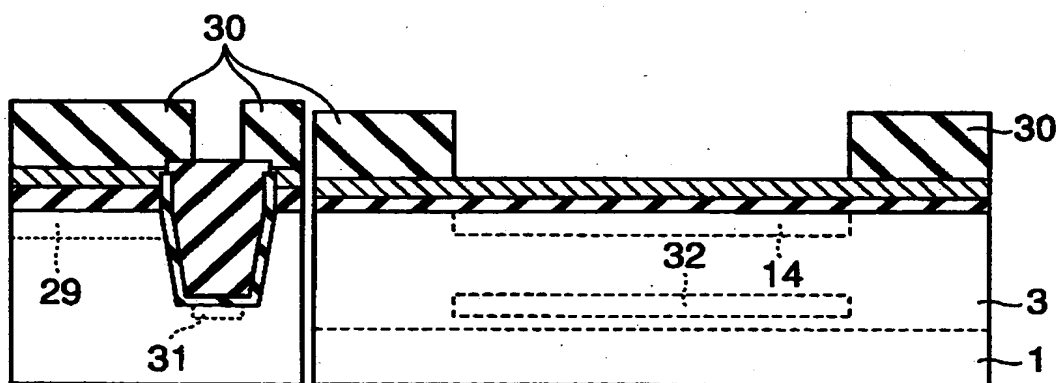
【図 2.0】



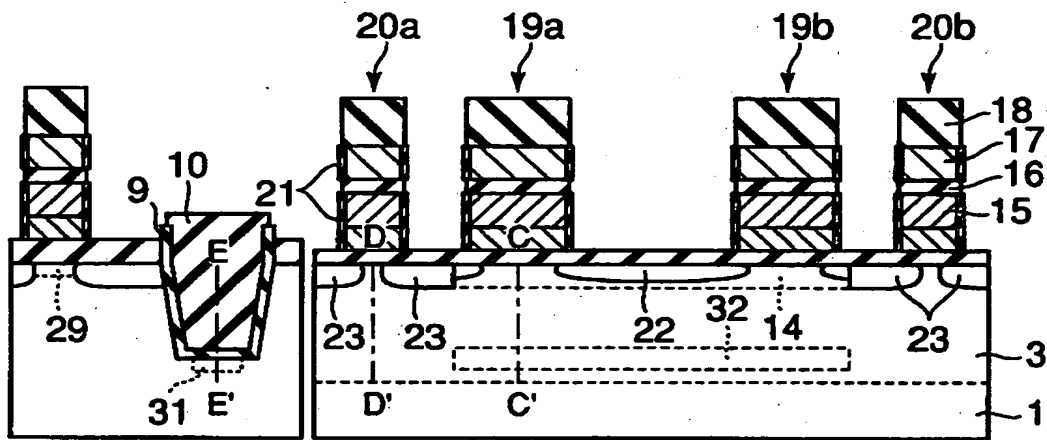
【図 2 1】



【図 2 2】

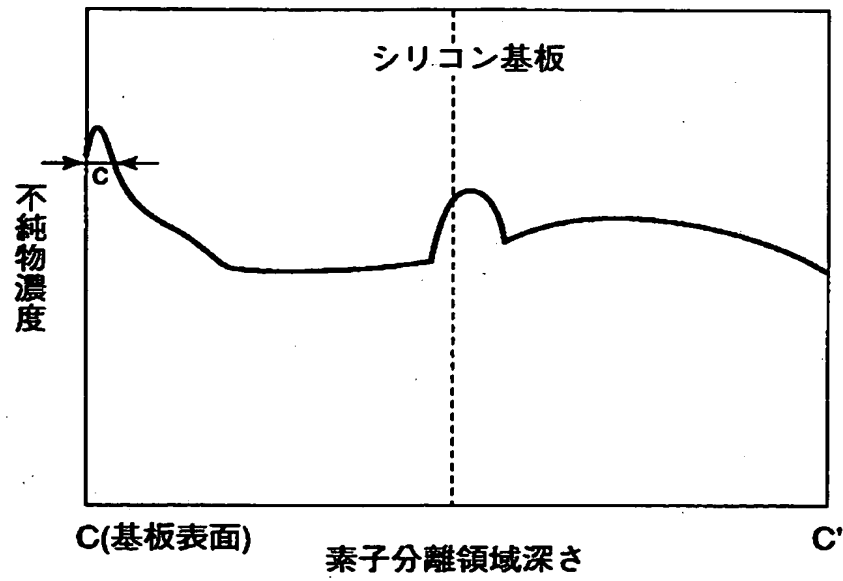


【図 23】

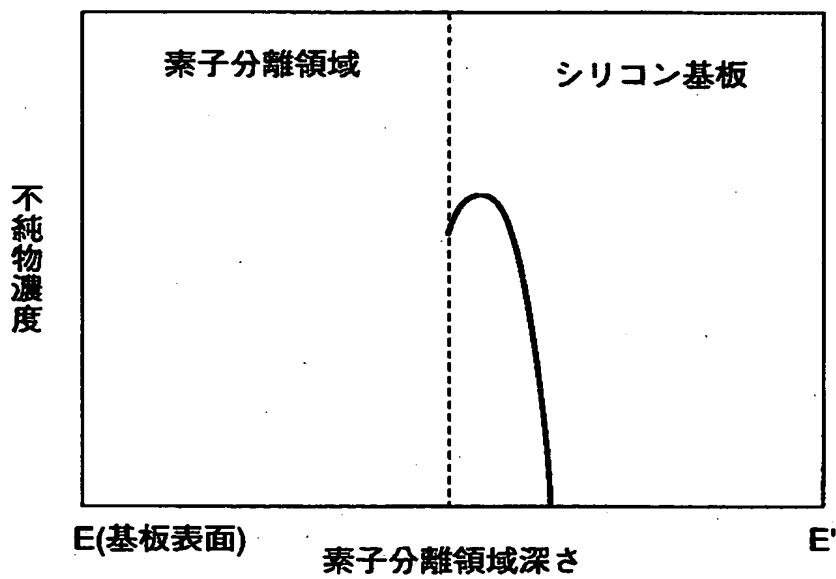




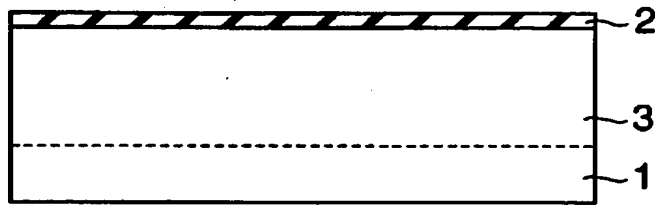
【図 2 4】



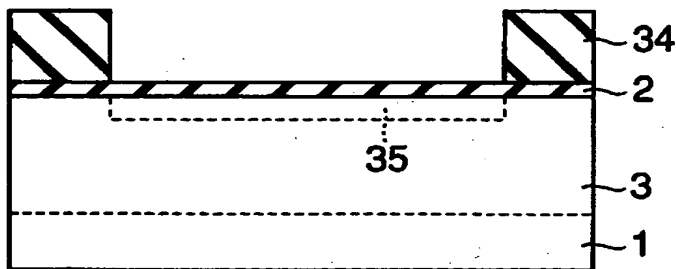
【図 2 5】



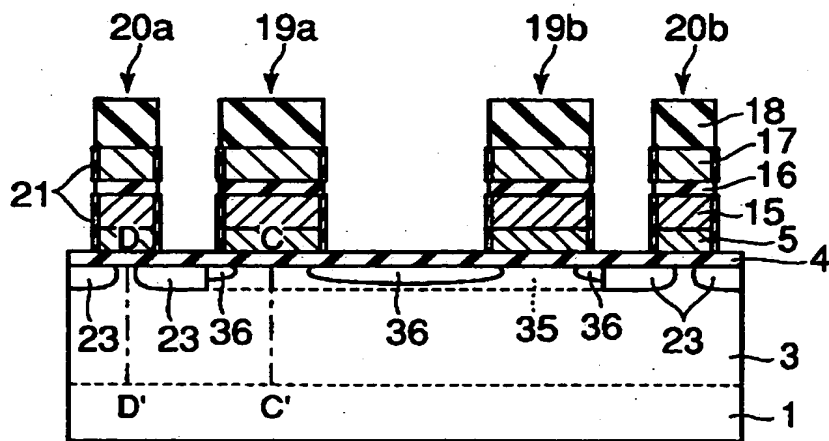
【図 26】



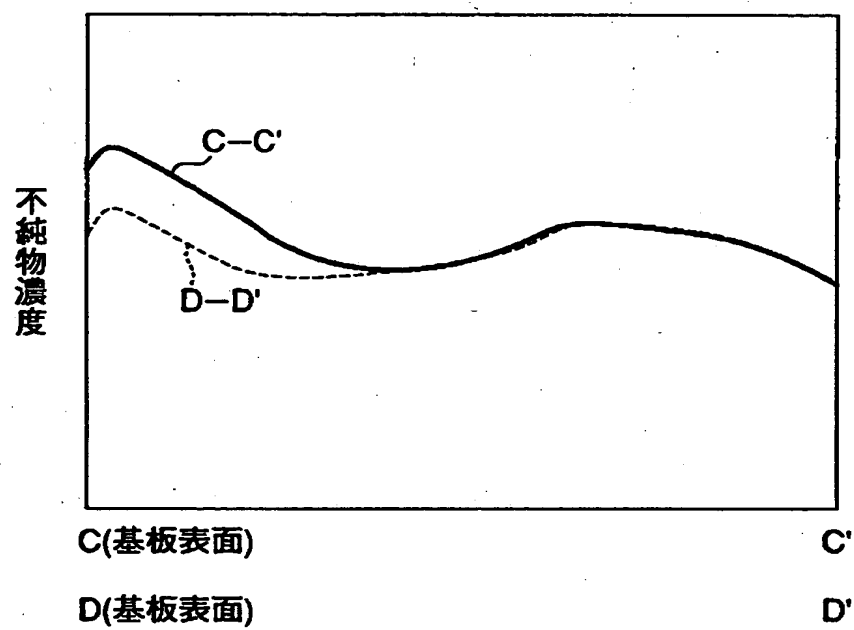
【図 27】



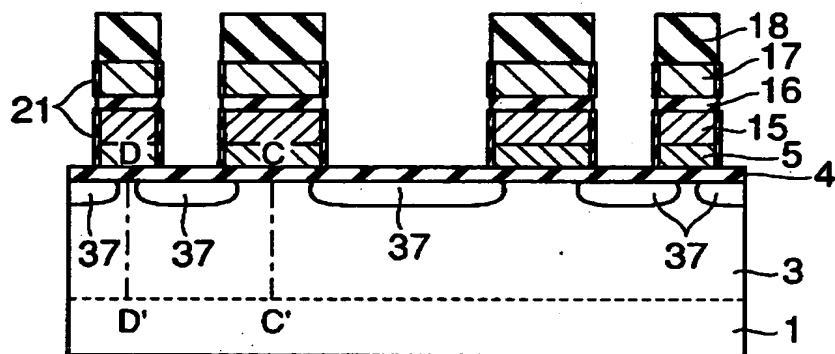
【図 28】



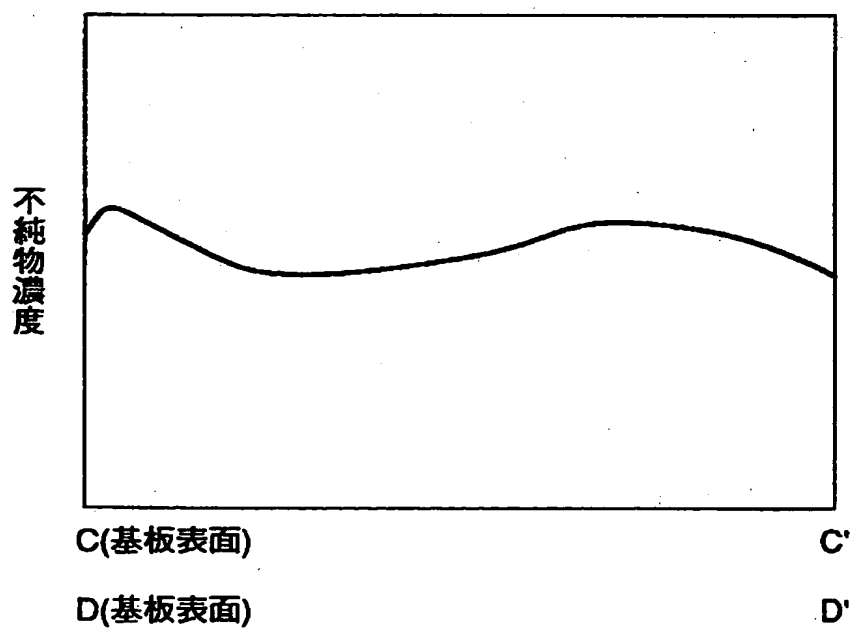
【図29】



【図 30】



【図 31】



【書類名】                      要約書

【要約】

【課題】 N A N D型フラッシュメモリにおけるメモリセルトランジスタの様々な特性と選択ゲートトランジスタのカットオフ特性とを共に良好に実現する。

【解決手段】 複数のメモリセルユニットと、メモリセルのゲート絶縁膜4と同時に形成された実質的に同じゲート絶縁膜を介して形成されたゲート電極5、15、17を有し、ソース/ドレイン拡散層22の一方がメモリセルユニットに接続され、他方はビット線またはソース線にコンタクトされた複数の選択ゲートトランジスタとを具備し、各選択ゲートトランジスタは、半導体基板1とゲート絶縁膜4との界面からの深さが等しい位置でゲート長方向でチャネル領域14の不純物濃度が同じであり、チャネル領域の不純物濃度分布とメモリセルのチャネル領域3の不純物濃度分布とが異なる。

【選択図】              図 1 5

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝